

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :  
Hiromi OGASAWARA et al. :  
Serial No. NEW : **Attn: APPLICATION BRANCH**  
Filed July 11, 2003 : Attorney Docket No. 2003-0912A

METHOD OF MANUFACTURING A  
SEMICONDUCTOR ELEMENT

---

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

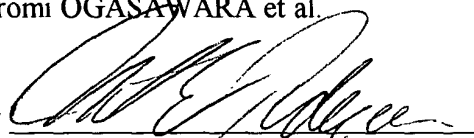
Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2002-298457, filed October 11, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Hiromi OGASAWARA et al.

By 

Nils E. Pedersen  
Registration No. 33,145  
Attorney for Applicants

NEP/krl  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
July 11, 2003

THE COMMISSIONER IS AUTHORIZED  
TO CHARGE ANY DEFICIENCY IN THE  
FEES FOR THIS PAPER TO DEPOSIT  
ACCOUNT NO. 23-0975

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月11日

出 願 番 号

Application Number:

特願2002-298457

[ST.10/C]:

[JP2002-298457]

出 願 人

Applicant(s):

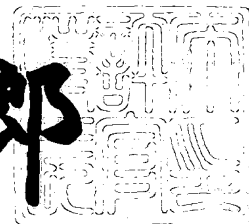
沖電気工業株式会社

宮城沖電気株式会社

2003年 4月18日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3027771

【書類名】 特許願

【整理番号】 SI004074

【提出日】 平成14年10月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/28

【発明者】

    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

    【氏名】 小笠原 裕美

【発明者】

    【住所又は居所】 宮城県黒川郡大衡村沖の平1番 宮城沖電気株式会社内

    【氏名】 高橋 政志

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【特許出願人】

    【識別番号】 591048162

    【氏名又は名称】 宮城沖電気株式会社

【代理人】

    【識別番号】 100089635

    【弁理士】

    【氏名又は名称】 清水 守

【選任した代理人】

    【識別番号】 100096426

    【弁理士】

    【氏名又は名称】 川合 誠

【選任した代理人】

    【識別番号】 100116207

    【弁理士】

【氏名又は名称】 青木 俊明

【選任した代理人】

【識別番号】 100118670

【弁理士】

【氏名又は名称】 及川 泰嘉

【手数料の表示】

【予納台帳番号】 012128

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001052

【包括委任状番号】 9001053

【包括委任状番号】 0008808

【包括委任状番号】 0104135

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子の製造方法

【特許請求の範囲】

【請求項 1】 下層配線層と上層配線層の接続孔形成のため、WをCVD法で接続孔内部に埋め込む時に、核形成前の処理ステップで還元作用がある、フッ化ガスを流し、その後、核形成処理ステップ、W成膜処理ステップの順に進めていくことを特徴とする半導体素子の製造方法。

【請求項 2】 請求項 1 記載の半導体素子の製造方法において、前記フッ化ガスがクリーニング効果を有することを特徴とする半導体素子の製造方法。

【請求項 3】 請求項 1 記載の半導体素子の製造方法において、前記フッ化ガスが $WF_6$  ガスであることを特徴とする半導体素子の製造方法。

【請求項 4】 請求項 1 記載の半導体素子の製造方法において、前記フッ化ガスが $NF_3$  ガスであることを特徴とする半導体素子の製造方法。

【請求項 5】 請求項 1 記載の半導体素子の製造方法において、前記フッ化ガスが $SiF_4$  であることを特徴とする半導体素子の製造方法。

【請求項 6】 下層配線層と上層配線層の接続孔形成のため、WをCVD法で接続孔内部を埋め込む時に、核形成前の処理ステップで還元作用があり、クリーニング効果があるとともに核形成を行うフッ化ガスを流し、その後、W成膜処理ステップを進めていくことを特徴とする半導体素子の製造方法。

【請求項 7】 請求項 6 記載の半導体素子の製造方法において、前記フッ化ガスが $SiF_4$  であることを特徴とする半導体素子の製造方法。

【請求項 8】 下層配線層と上層配線層の接続孔形成のため、WをCVD法で接続孔内部を埋め込む時に、核形成前の処理ステップで還元作用があり、クリーニング効果があるとともに核形成を行うフッ化ガスを流し、その後、 $SiH_4$  ガスを流す工程を施すことを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子の製造方法に係り、特に半導体素子の多層配線構造にお

いて、層間絶縁膜に設けた接続孔に金属を埋め込む際に、接続部の抵抗が上昇するのを防止する方法に関するものである。

【0002】

【従来の技術】

従来、このような分野の技術としては、例えば、特開平11-260823号公報に開示されるものがあった。

【0003】

図6はかかる従来の半導体素子の断面図である。

【0004】

この図において、1はSi基板、2は絶縁膜、3は第1の配線層、4は層間絶縁膜、5は接続孔（ビアホール）、6は密着層、7はW（プラグ）、8は第2の配線層である。

【0005】

この図に示すように、Si基板1上に絶縁膜2を形成後、第1の配線層3を形成する。この第1の配線層3上に層間絶縁膜4を形成後、ホトリソ、エッチング工程により接続孔（ビアホール）5を形成する。その表面上に密着層6を形成後、W7を成膜し接続孔5を埋め込む。

【0006】

上記したW7の成膜はその過程を分けると大きく2つに分けられる。

【0007】

図7にその処理ステップにおけるガスのフローを示す。

【0008】

第1ステップは、Wの核形成を行う核形成処理ステップであり、 $WF_6$ 、Si $H_4$ 、 $H_2$ を主原料として成膜している（ステップS1，S2）。

【0009】

その第1ステップでは、まず、チャンバーにウエハを入れ、W7の成膜温度まで昇温させる。次に、原料ガスである $WF_6$ 、Si $H_4$ を導入し核形成と呼ばれるW7の薄膜の形成を行うが、この時、Si $H_4$ ガスを先に導入し、Siの層を形成してから $WF_6$ を導入する。

【0 0 1 0】

次いで、第2ステップは成膜処理ステップであり、 $\text{SiH}_4$  を遮断し、 $\text{WF}_6$  と  $\text{H}_2$  を主原料として、W 7 を成膜する（ステップ S 3）。

【0 0 1 1】

このとき、CVD-W膜により接続孔 5 を埋め込んだ後、全面エッチバックにてビアホール内のみにW膜 7 を残すようにする。

【0 0 1 2】

【発明が解決しようとする課題】

上記したように、配線層上に接続孔を開孔するが、この時、前記配線層上に  $\text{TiO}_x$  などの高抵抗の原因となる物質が存在する。これらが密着層との間に介在すると抵抗値が上昇するという問題点がある。

【0 0 1 3】

本発明は、上記状況に鑑みて、核形成の前に接続孔と密着層との間に高抵抗な物質が存在することをなくし、抵抗値が低く信頼性の高い接続孔を形成することができる半導体素子の製造方法を提供することを目的とする。

【0 0 1 4】

【課題を解決するための手段】

本発明は、上記目的を達成するために、

〔1〕半導体素子の製造方法において、下層配線層と上層配線層の接続孔形成のため、WをCVD法で接続孔内部を埋め込む時に、核形成前の処理ステップで還元作用がある、フッ化ガスを流し、その後、核形成処理ステップ、W成膜処理ステップの順に進めていくこと特徴とする。

【0 0 1 5】

〔2〕上記〔1〕記載の半導体素子の製造方法において、前記フッ化ガスがクリーニング効果を有することを特徴とする。

【0 0 1 6】

〔3〕上記〔1〕記載の半導体素子の製造方法において、前記フッ化ガスが  $\text{WF}_6$  ガスであることを特徴とする。

【0 0 1 7】

〔４〕上記〔１〕記載の半導体素子の製造方法において、前記フッ化ガスが $\text{NF}_3$  ガスであることを特徴とする。

【００１８】

〔５〕上記〔１〕記載の半導体素子の製造方法において、前記フッ化ガスが $\text{SiF}_4$  であることを特徴とする。

【００１９】

〔６〕半導体素子の製造方法において、下線配線層と上層配線層の接続孔形成のため、 $\text{W}$ を $\text{CVD}$ 法で接続孔内部を埋め込む時に、核形成前の処理ステップで還元作用があり、クリーニング効果があるとともに核形成を行うフッ化ガスを流し、その後、 $\text{W}$ 成膜処理ステップを進めていくことを特徴とする。

【００２０】

〔７〕上記〔６〕記載の半導体素子の製造方法において、前記フッ化ガスが $\text{SiF}_4$  であることを特徴とする。

【００２１】

〔９〕半導体素子の製造方法において、下線配線層と上層配線層の接続孔形成のため、 $\text{W}$ を $\text{CVD}$ 法で接続孔内部を埋め込む時に、核形成前の処理ステップで還元作用があり、クリーニング効果があるとともに核形成を行うフッ化ガスを流し、その後、 $\text{SiH}_4$  ガスを流す工程を施すことを特徴とする。

【００２２】

#### 【発明の実施の形態】

以下、本発明の実施の形態について詳細に説明する。

【００２３】

まず、本発明の第１実施例について説明する。

【００２４】

図１は本発明の実施例を示す半導体素子の断面図である。

【００２５】

この図に示すように、 $\text{Si}$ 基板１１上に絶縁膜１２を形成後、第１の配線層１３を形成する。この第１の配線層１３上に層間絶縁膜１４を形成後、ホトリソ、エッチング工程により接続孔（ビアホール）１５を形成する。その上に密着層



16を形成後、W17を成膜し接続孔15を埋め込む。なお、18は第2の配線層である。

【0026】

その場合の接続孔（ビアホール）15の埋め込み工程は以下の通りである。

【0027】

図2は本発明の第1実施例を示す処理ステップとガスのフローを示す図である。

【0028】

まず、接続孔を開口した後、底面を清浄にするためスパッタクリーニングを行った後に密着層を形成する。その後、埋め込みとしてWをCVD法で形成する。この時、従来の方法では、図7に示すように、最初の処理ステップとして原料ガスである $\text{SiH}_4$ 、 $\text{WF}_6$ を導入し核形成と呼ばれるWの薄膜を形成する。この時 $\text{SiH}_4$ ガスを先に導入し、Siの層を形成してから $\text{WF}_6$ を導入する。

【0029】

本発明の第1実施例では、図2に示すように、かかる従来の方法を改め、核形成ステップの前に $\text{WF}_6$ ガスを導入する（ステップS11）。その後、従来方法と同様の核形成（ステップS12、S13）、W成膜（ステップS14）と進む。

【0030】

このように構成したので、第1実施例によれば、以下のような効果を奏することができる。

【0031】

従来の方法によれば、接続孔を開口する時に接続孔底面には、図6に示すように、第1の配線層3上に生成したと想定できる $\text{TiO}_x$ などの高抵抗の原因となる物質9が存在する。ところが、本発明の第1実施例では、図2に示すように、接続孔15内部をW17で埋め込む際に、最初の処理ステップ（ステップS11）で $\text{WF}_6$ ガスを流すことによって、 $\text{WF}_6$ ガスの強い還元作用によるクリーニング効果のため、底部に存在する $\text{TiO}_x$ などの高抵抗の原因となる物質9を除去することが可能となる。この結果、従来のように、第1の配線層3上に生成し

たと想定できる $TiO_x$ などの物質9が存在することはなくなり、抵抗上昇は無く、良好な抵抗値が得られる。

## 【0032】

次に、本発明の第2実施例について説明する。

## 【0033】

図3は本発明の第2実施例を示す処理ステップとガスのフローを示す図である。

## 【0034】

接続孔を開口した後、底面を清浄にするためにスパッタクリーニングを行った後に密着層を形成する。その後、埋め込みとしてWをCVD法で形成する。このW-CVD処理のステップにおいて、最初の処理ステップで還元性の高い、クリーニング効果のある $NF_3$ ガスをチャンバ内に流す（ステップS21）。続いて、従来の方法と同様に、核形成（ステップS22、ステップS23）を行ってからWを成膜（ステップS24）する。

## 【0035】

このように構成したので、第2実施例によれば、以下のような効果を奏することができる。

## 【0036】

従来の場合は、接続孔を開口する時に接続孔底面には第1の配線層上に生成したと想定できる $TiO_x$ などの高抵抗の原因となる物質が存在するが、本発明の第2実施例では、接続孔内部をWで埋め込む際に、最初の処理ステップ（ステップS21）で $NF_3$ ガスを流すことによって、 $NF_3$ ガスの強い還元作用による高いクリーニング効果のため、底部に存在する $TiO_x$ などの高抵抗の原因となる物質を除去することが可能となる。この結果、抵抗上昇がなく良好な抵抗値が得られる。

## 【0037】

次に、本発明の第3実施例について説明する。

## 【0038】

図4は本発明の第3実施例を示す処理ステップとガスのフローを示す図である。

## 【 0 0 3 9 】

接続孔を開口した後、底面を清浄にするためにスパッタクリーニングを行った後に密着層を形成する。その後、埋め込みとしてWをCVD法で形成する。このW-CVD処理のステップにおいて、最初のステップで $\text{SiF}_4$ ガスをチャンバ内に流す（ステップS31）。続いて、従来の方法と同様に、核形成（ステップS32，ステップS33）を行ってからWを成膜（ステップS34）する。

## 【 0 0 4 0 】

このように構成したので、第3実施例によれば、以下のような効果を奏することができる。

## 【 0 0 4 1 】

接続孔を開口する時に接続孔底面には第1の配線層上に生成したと想定できる $\text{TiO}_x$ などの高抵抗の原因となる物質が存在する。接続孔内部をWで埋め込む際に、最初の処理ステップ（ステップS31）で $\text{SiF}_4$ ガスを流すことによって、 $\text{SiF}_4$ ガスの強い還元作用により、底部に存在する $\text{TiO}_x$ などの高抵抗の原因となる物質を除去することが可能となり、抵抗上昇がなく良好な抵抗値が得られる。

## 【 0 0 4 2 】

次に、本発明の第4実施例について説明する。

## 【 0 0 4 3 】

図5は本発明の第4実施例を示す処理ステップとガスのフローを示す図である。

## 【 0 0 4 4 】

接続孔を開口した後、底面を清浄にするためスパッタクリーニングを行った後に密着層を形成する。その後埋め込みとしてWをCVD法で形成する。このW-CVD処理のステップにおいて、最初のステップで $\text{SiF}_4$ ガスをチャンバ内に流して（ステップS41）クリーニング作用を行わせると同時に核形成（ステップS42）を行わせた後、Wの成膜（ステップS43）を行う。

## 【 0 0 4 5 】

このように構成したので、第 4 実施例によれば、以下のような効果を奏することができる。

【0046】

接続孔を開口する時に接続孔底面には第 1 の配線層上に生成したと想定できる  $TiO_x$  などの高抵抗の原因となる物質が存在する。接続孔内部を W で埋め込む際に、最初のステップで  $SiF_4$  ガスを流す（ステップ S 4 1）ことによって、 $SiF_4$  ガスの強い還元作用により、底部に存在する  $TiO_x$  などの高抵抗の原因となる物質を除去することが可能となり、抵抗上昇がなく良好な抵抗値が得られる。

【0047】

また、この時に  $SiF_4$  ガスによる底部のクリーニングと同時に Si の層が形成される。還元すれば、クリーニングと同時に核形成が行われることになり、次いで、W 成膜が可能となる。

【0048】

なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0049】

【発明の効果】

以上、詳細に説明したように、本発明によれば、核形成の前に接続孔と密着層との間に高抵抗な物質が存在することがなくなり、抵抗値が低く、信頼性の高い接続孔を形成することができる。

【図面の簡単な説明】

【図 1】

本発明の実施例を示す半導体素子の断面図である。

【図 2】

本発明の第 1 実施例を示す処理ステップとガスのフローを示す図である。

【図 3】

本発明の第 2 実施例を示す処理ステップとガスのフローを示す図である。

【図 4】

本発明の第 3 実施例を示す処理ステップとガスのフローを示す図である。

【図 5】

本発明の第 4 実施例を示す処理ステップとガスのフローを示す図である。

【図 6】

従来の半導体素子の断面図である。

【図 7】

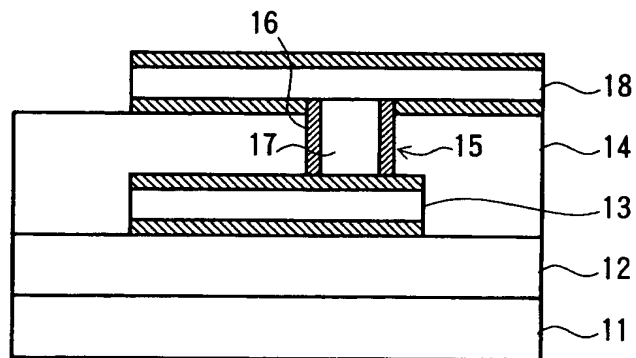
従来の処理ステップとガスのフローを示す図である。

【符号の簡単な説明】

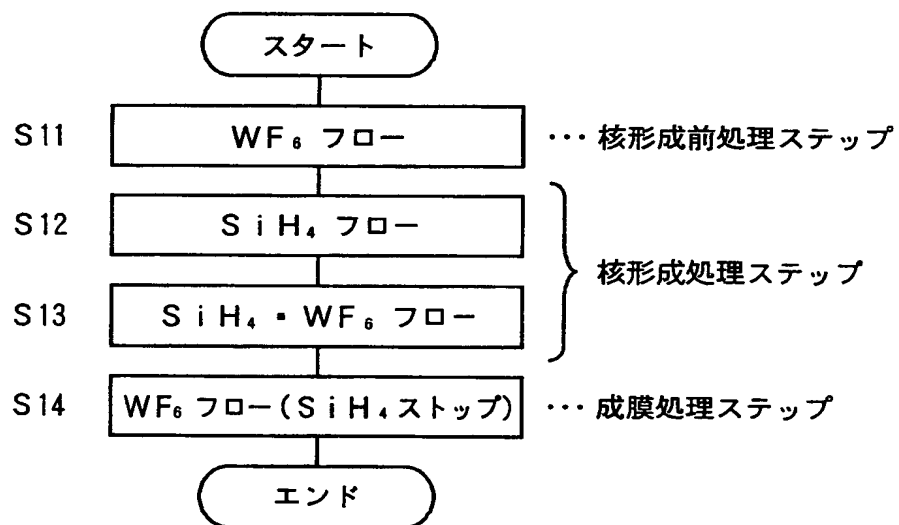
- 1 1      S i 基板
- 1 2      絶縁膜
- 1 3      第 1 の配線層
- 1 4      層間絶縁膜
- 1 5      接続孔（ビアホール）
- 1 6      密着層
- 1 7      W
- 1 8      第 2 の配線層

【書類名】 図面

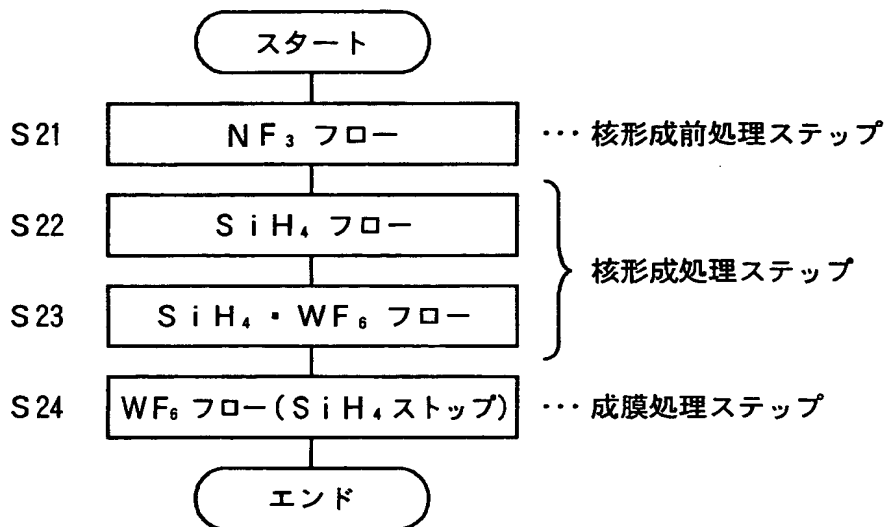
【図 1】



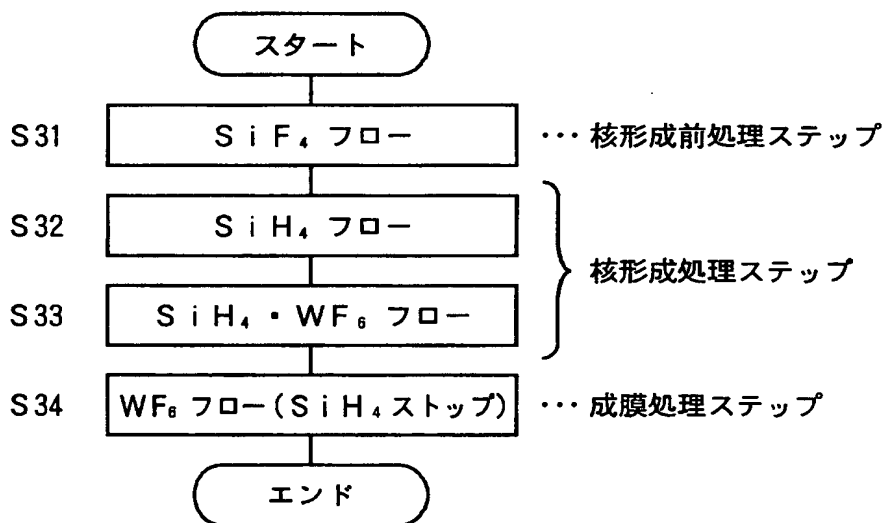
【図 2】



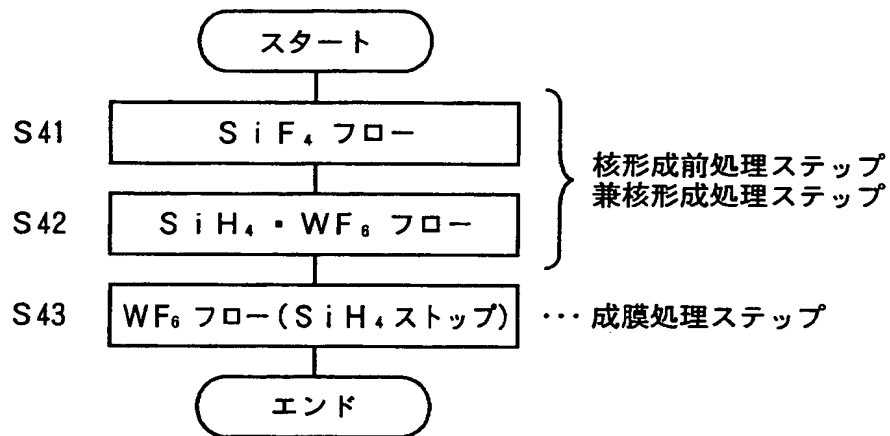
【図 3】



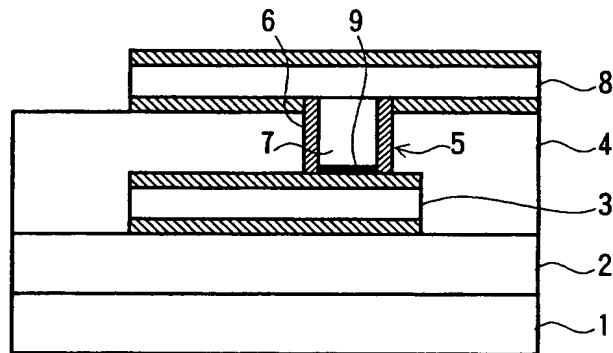
【図 4】



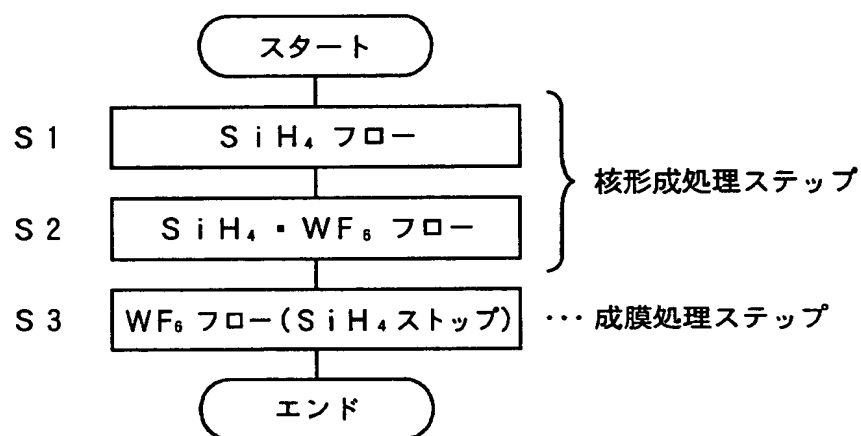
【図 5】



【図 6】



【図 7】





【書類名】 要約書

【要約】

【課題】 核形成の前に接続孔と密着層との間に高抵抗の原因となる物質が存在することをなくし、抵抗値が低い信頼性の高い接続孔を形成することができる半導体素子の製造方法を提供する。

【解決手段】 下層配線層 1 3 と上層配線層 1 8 の接続孔形成のため、W 1 7 を C V D 法で接続孔内部を埋め込む時に、核形成前の処理ステップで材料ガスである  $W F_6$  ガスを流し、高抵抗の原因となる物質を除去し、その後、核形成処理ステップ、W 成膜処理ステップの順に進めていくようにした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [ 5 9 1 0 4 8 1 6 2 ]

1. 変更年月日	2 0 0 2 年 7 月 4 日
[変更理由]	住所変更
住 所	宮城県黒川郡大衡村沖の平 1 番
氏 名	宮城沖電気株式会社